

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-251912

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H02M 3/07

(21)Application number : 07-052575

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 13.03.1995

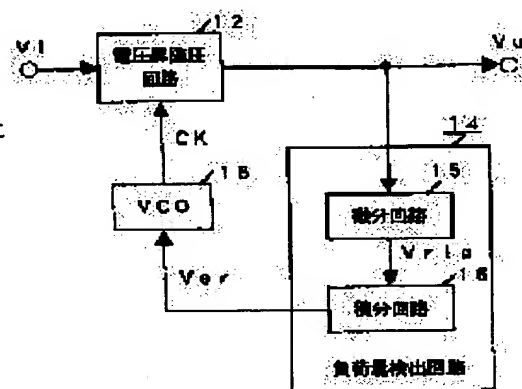
(72)Inventor : TAKAGI ATSUSHI

(54) VOLTAGE CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To obtain a voltage conversion circuit in which power consumption is reduced by confining the frequency of clock signal within an allowable range while suppressing the noise of power supply and undesired radiation.

CONSTITUTION: A voltage step-up/step-down circuit 12 produces an output voltage V_u different from an input voltage V_i by differentiating the series-parallel connection of a plurality of capacitors between the charge and discharge cycles. When the load of the output voltage V_u increases, ripple of the output voltage V_u increases and the magnitude thereof decreases. It is detected by a load amount detection circuit 14 and the frequency of clock signal, from a VCO, for periodically switching the charge and discharge cycles is increased. Frequency of the clock signal is varied depending on the load and it is not increased unnecessarily.



LEGAL STATUS

[Date of request for examination] 24.04.2001

[Date of sending the examiner's decision of rejection] 04.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-251912

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl.⁶

H 0 2 M 3/07

識別記号

庁内整理番号

F I

H 0 2 M 3/07

技術表示箇所

審査請求 未請求 請求項の数2 O L (全 9 頁)

(21) 出願番号 特願平7-52575

(22) 出願日 平成7年(1995)3月13日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 高木 厚

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

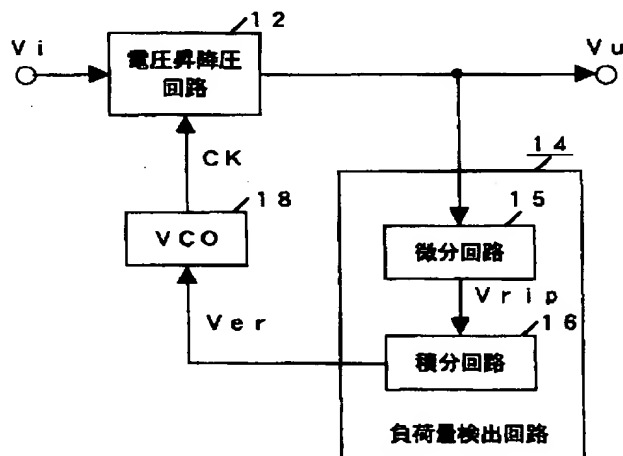
(74) 代理人 弁理士 高矢 諭 (外2名)

(54) 【発明の名称】 電圧変換回路

(57) 【要約】

【目的】 クロック信号の周波数を許される範囲で抑え、消費電力低減を図り、又電源ノイズや不要輻射を抑える。

【構成】 電圧昇降圧回路12は、複数のコンデンサの直並列接続構成を充電サイクルと放電サイクルとで異ならせ、入力電圧 V_i と異なる出力電圧 V_u を出力する。ここで、前記出力電圧 V_u の負荷が大きくなると、該出力電圧 V_u のリプル増大及び電圧低下が生じる。これを前記負荷量検出回路14にて検出し、VCOによって得られる、前記充電サイクル及び放電サイクルを周期的に切り替えるためのクロック信号の周波数を高める。該クロック信号の周波数は負荷に応じて変化され、不必要に高められてしまうことがない。



【特許請求の範囲】

【請求項 1】 所定の直並列接続構成にある複数のコンデンサに、充電サイクルで所定入力電圧により電荷を蓄えた後、放電サイクルとして、これらコンデンサの直並列接続構成を変型して蓄えた電荷を出力することで、前記入力電圧と異なる電圧を出力するようにした電圧変換回路において、

出力電圧の負荷の増加によって生じる該出力電圧の低下に応じた負荷量検出電圧を出力する負荷量検出回路と、前記負荷量検出電圧の大きさに応じた周波数の動作制御クロック信号を出力する電圧制御発振回路とを備え、前記動作制御クロック信号によって前記充電サイクル及び放電サイクルを周期的に切り替えると共に、前記負荷の増減に応じて、これら充電サイクル及び放電サイクルでなる動作サイクルの周期を増減するようにしたことを特徴とする電圧変換回路。

【請求項 2】 請求項 1 において、前記負荷量検出回路が、前記動作制御クロック信号の周期で生じる前記出力電圧のリップル成分を抽出し、該リップル成分の大きさに応じたリップル成分信号電圧を出力する微分回路と、前記リップル成分信号電圧から前記動作制御クロック信号の周期で生じる電圧変動を除去することで、該リップル成分信号電圧の大きさに応じた前記負荷量検出電圧を出力する積分回路とにより構成されていることを特徴とする電圧変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、所定の直並列接続構成にある複数のコンデンサに、充電サイクルで所定入力電圧により電荷を蓄えた後、放電サイクルとして、これらコンデンサの直並列接続構成を変型して蓄えた電荷を出力することで、前記入力電圧と異なる電圧を出力するようにした電圧変換回路に係り、特に、前記充電サイクルや放電サイクルの動作回数を抑えることで、消費電力の低減を図り、又、電源ノイズや不要輻射を抑えることができる電圧変換回路に関する。

【0002】

$$V_u = (C \times V_i) \times (2/C) = 2 \times V_i \quad \dots (3)$$

【0011】 従って、これら図 6 及び図 7 を用いて説明した電圧昇圧回路では、上記 (3) 式に示される如く、入力電圧 V_i の 2 倍の出力電圧 V_u を得ることができ

る。
【0012】 ここで、前記図 6 及び図 7 に示した電圧昇圧回路の如く、コンデンサ C の数は 2 個に限定されるものではなく、3 個あるいはこれ以上であってもよい。複数の前記コンデンサ C を用いることで、2 倍あるいは 3 倍の前記入力電圧 V_i 、あるいはそれ以上の n 倍の入力電圧 V_i となる出力電圧 V_u を得ることができる。又、前記複数のコンデンサ C の容量は必ずしも互いに等しい

【従来の技術】 従来から、並列接続構成された複数のコンデンサに、充電サイクルで所定入力電圧により電荷を蓄えた後に、放電サイクルにこれらコンデンサを直列接続構成に変型して蓄えた電荷を出力することで、入力電圧より高い電圧を出力するという電圧昇圧回路が用いられている。あるいは、直列接続構成にある複数のコンデンサに、充電サイクルで所定入力電圧により電荷を蓄えた後に、放電サイクルとしてこれらコンデンサを並列接続構成に変型して蓄えた電荷を出力することで、入力電圧より低い電圧を出力するという電圧降下回路が用いられている。

【0003】 これら電圧昇圧回路及び電圧降下回路は、いずれも、複数のコンデンサの直並列接続構成を変型させながら、前記充電サイクルと前記放電サイクルとを交互に繰り返すことで、入力電圧と異なる電圧の出力電圧を出力するというものである。なお、以降、これら電圧昇圧回路及び電圧降下回路をまとめて、電圧昇降圧回路と称する。

【0004】 まず、図 6 及び図 7 を用い、前記電圧昇圧回路の原理を説明する。

【0005】 これら図 6 及び図 7 では、入力電圧の 2 倍の出力電圧を得る電圧昇圧回路の原理が示される。まず、前記充電サイクルにあつては、互いに容量が等しい 2 つのコンデンサ C が並列接続される。これらコンデンサ C の容量を C とする。ここで、このように並列接続されたこれらコンデンサに、電圧 V_i の入力電圧を印加する。すると、各コンデンサ C には、次式に示される電荷 Q が蓄えられる。

$$Q = C \times V_i \quad \dots (1)$$

【0007】 次に、前記図 6 の如く並列接続の構成にあった 2 つの前記コンデンサ C を、前記図 7 に示す如く直列接続構成に変型する。すると、直列接続されるこれらコンデンサ C の最両端に生じる前記放電サイクルの出力電圧 V_u は、次式のようになる。

$$V_u = Q \times (2/C) \quad \dots (2)$$

【0009】 ここで、前記 (1) 式を前記 (2) 式の前記電荷 Q に代入すると、次式を得ることができる。

$$Q = C \times V_i$$

【0010】 必要はない。コンデンサ C の容量を一部異ならせることで、入力電圧 V_i の整数倍以外の出力電圧 V_u を得ることも可能である。

【0013】 次に、図 8 及び図 9 を用い、前記電圧降圧回路の原理を説明する。

【0014】 これら図 8 及び図 9 に示される電圧降下回路にあつて、互いに容量が等しいコンデンサ C が用いられる。なお、これらコンデンサ C の容量をいずれも C とする。これら図 8 及び図 9 に示される電圧降圧回路は、入力電圧 V_i の $(1/2)$ 倍の出力電圧 V_u を出力するものである。

3

【0015】まず、前記充電サイクルにあって、前記図8に示す如く、2つの前記コンデンサCは直列接続される。ここで、このように直列接続の構成にあるこれらコンデンサCの最両端に、入力電圧 V_i を印加する。すると、これらコンデンサCの合成容量は $(C/2)$ となるので、各コンデンサCに蓄えられる電荷Qは次式のとおりととなる。

$$Q = (C/2) \times V_i \quad \dots (4)$$

【0017】次に、前記放電サイクルとして、前記図9

$$V_u = (2 \times ((C/2) \times V_i)) / (2 \times C) = V_i / 2 \quad \dots (6)$$

【0021】これら図8及び図9を用いて説明した電圧降圧回路では、上記(6)式に示される如く、入力電圧 V_i の $(1/2)$ の出力電圧 V_u を得ることができる。

【0022】以上説明したとおり、前記電圧昇降圧回路では、入力電圧 V_i と異なる電圧の出力電圧 V_u を得ることができる。

【0023】ここで、前記図8及び図9を用い前述した電圧降圧回路にあって、前記コンデンサCの個数についても、必ずしも2個である必要はなく、3個あるいはそれ以上用いてもよい。このように複数のコンデンサを用いることで、前記入力電圧 V_i の $(1/2)$ 倍あるいは $(1/3)$ 倍、更にはこれ以外の $(1/n)$ 倍の前記入力電圧 V_i の出力電圧 V_u を得ることもできる。又、このような電圧降圧回路にあっては、複数のコンデンサCの容量が必ずしも互いに同一である必要はない。一部のコンデンサCの容量を他のものと異ならせることで、入力電圧 V_i の整数分の1以外の出力電圧 V_u を得ることも可能である。

【0024】ここで、以上説明した電圧昇降圧回路は、前述のような複数のコンデンサに加え、コンデンサの直並列接続構成を前記充電サイクルと前記放電サイクルとで異ならせるよう切り替える手段、例えばトランジスタ等のスイッチング手段を用いて構成される。従って、該電圧昇降圧回路に要する素子はいずれも半導体集積回路化が可能であり、他の回路と共に1つのチップ上に作り込むことも容易である。

【0025】図10は、従来からの電圧昇圧回路の一例の回路図である。

【0026】この電圧昇圧回路では、入力電圧 V_i が電源電圧VDDとなっている。又、昇圧された出力電圧 V_u は負荷抵抗Rに供給されている。又、この電圧昇圧回路にあって、前記図6及び図7に示した前述の電圧昇圧回路の前記コンデンサCに相当するものは、コンデンサC3及びC4である。ここで、これらコンデンサC3及びC4の容量を、いずれもCとする。

【0027】この図10に示される如く、従来からの電圧昇圧回路は、インバータゲートG1と、PチャネルMOSトランジスタTP1及びTP2と、NチャネルMOSトランジスタTN1及びTN2と、前記コンデンサC

4

に示す如く、前記コンデンサCを並列接続する。すると、並列接続構成にあるこれらコンデンサCの合成容量は $(2 \times C)$ となり、総電荷は $(2 \times Q)$ となる。従って、このような並列接続構成の両端に得られる出力電圧 V_u は次式のとおりととなる。

$$V_u = (2 \times Q) / (2 \times C) \quad \dots (5)$$

【0019】ここで、前記(4)式を上記(5)式の前記電荷Qに代入すると、次式を得ることができる。

$$V_u = V_i / 2 \quad \dots (6)$$

3及びC4、又コンデンサC5、更にダイオードD2によって構成される。

【0028】このような電圧昇圧回路は、従来には一定周波数Fの動作制御クロック信号CKによって制御される。特に、該動作制御クロック信号CKのL状態の期間が前記充電サイクルとなる。一方、H状態の期間が前記放電サイクルとなる。

【0029】まず、前記充電サイクルでは、前記動作制御クロック信号CKはL状態にあり、従って前記インバータゲートG1の出力はH状態にある。従って、このような充電サイクルにあっては、まず前記NチャネルMOSトランジスタTN1がオフとなる。一方、前記PチャネルMOSトランジスタTP1及びTP2、又前記NチャネルMOSトランジスタTN2はいずれもオン状態となる。従って、前記コンデンサC3には前記電源電圧VDDが印加される。又、前記コンデンサC4についても、電源電圧VDDが印加される。

【0030】続いて、前記放電サイクルとなると、前記動作制御クロック信号CKはH状態となり、前記インバータゲートG1の出力はL状態となる。従って、まず前記NチャネルMOSトランジスタTN1はオンとなる。又、前記PチャネルMOSトランジスタTP1及びTP2、又前記NチャネルMOSトランジスタTN2は、いずれもオフ状態となる。従って、前記コンデンサC3及びC4は直列接続構成となる。

【0031】ここで、前記(3)式に示したように、該放電サイクルにあっては前記電源電圧VDDの2倍の出力電圧 V_u を、前記ダイオードD2を経て得ることができる。

【0032】又、前記コンデンサC5は、このような出力電圧 V_u を負荷抵抗R等に供給する際の、当該出力電圧 V_u のリプル成分を低減するためのものである。上記放電サイクルにあって、出力電圧 V_u は、前記コンデンサC3及びC4に蓄えられた電荷にのみ依存してしまう。従って、前記負荷抵抗Rに電流が流れると、前記放電サイクル中の出力電圧 V_u が低下してしまう。このような充電サイクル及び放電サイクルの周期に伴った電圧低下によるリプル成分を抑えるために、前記コンデンサC5が設けられている。

【0033】

【発明が達成しようとする課題】しかしながら、前記電圧昇降圧回路にあっては、出力電圧 V_u によって供給可能な電流は、前記放電サイクル時に蓄えられている電荷 Q と、前記動作制御クロック信号 CK の周波数 F によって、概念として次式のように表わされる。

$$【0034】 i = F \times Q \quad \dots (7)$$

【0035】上記(7)式から明らかな如く、出力電圧 V_u によって供給される電流容量を向上させるためには、前記図6～図9に示される前記コンデンサ C の容量、あるいは前記図10に示した前記コンデンサ $C3$ 及び $C4$ の容量を増加することで、前記(7)式に示される、蓄えられる電荷 Q を増加させる必要がある。あるいは、前記動作制御クロック信号 CK の周波数 F を高くする必要がある。

【0036】しかしながら、回路構成上、コンデンサを大きくすることには通常限界がある。又、前記周波数 F を高くすると、前記充電サイクルや放電サイクルの動作回数が増大し、これに伴って消費電流や電源ノイズ、又不要輻射が増大してしまう。該周波数 F が高くなると、例えば前記図10に示される各トランジスタ $TP1$ 、 $TP2$ 、 $TN1$ 、 $TN2$ のオンオフ回数が増加されるため、電圧昇降圧回路内で要する消費電流が増大してしまう。又、このように消費電流が増大すると、電源ノイズも増大されてしまい、電源線や前記動作制御クロック信号 CK の配線等からの不要輻射も増大してしまう。

【0037】本発明は、前記従来の問題点を解決するべくなされたもので、前記充電サイクルや放電サイクルの動作回数を抑えることで、消費電流の低減を図り、又、電源ノイズや不要輻射を抑えることができる電圧変換回路を提供することを目的とする。

【0038】

【課題を達成するための手段】本発明は、所定の直並列接続構成にある複数のコンデンサに、充電サイクルで所定入力電圧にある電荷を蓄えた後、放電サイクルとして、これらコンデンサの直並列接続構成を変型して蓄えた電荷を出力することで、前記入力電圧と異なる電圧を出力するようにした電圧変換回路において、出力電圧の負荷の増加によって生じる該出力電圧の低下に応じた負荷量検出電圧を出力する負荷量検出回路と、前記負荷量検出電圧の大きさに応じた周波数の動作制御クロック信号を出力する電圧制御発振回路とを備え、前記動作制御クロック信号によって前記充電サイクル及び放電サイクルを周期的に切り替えると共に、前記負荷の増減に応じて、これら充電サイクル及び放電サイクルでなる動作サイクルの周期を増減するようにしたことにより、前記課題を達成したものである。

【0039】又、前記負荷量検出回路が、前記動作制御クロック信号の周期で生じる前記出力電圧のリップル成分を抽出し、該リップル成分の大きさに応じたリップル

成分信号電圧を出力する微分回路と、前記リップル成分信号電圧から前記動作制御クロック信号の周期で生じる電圧変動を除去することで、該リップル成分信号電圧の大きさに応じた前記負荷量検出電圧を出力する積分回路とにより構成されることによって、前記課題を達成すると共に、前記周波数の上昇によって対応可能な場合のみ、前記出力電圧の負荷の増加に応じて該周波数を高めるようにし、前記出力電圧が低下したとしても該周波数の上昇で対応できない場合にはこの低下を無視させ、これによって不必要に該周波数が高められてしまうことを防ぎ、全体的回路動作の安定化を図ったものである。

【0040】

【作用】本発明は、前記(7)式に着目してなされている。即ち、前記電圧昇降圧回路によって供給される電流容量や、又該(7)式に示される出力電圧が、前記動作制御クロック信号の周波数 F に依存していることに着目している。又、本発明では、前記電圧昇降圧回路の出力電圧を監視し、該監視の結果を前記動作制御クロック信号の周波数の高さにフィードバックしている。

【0041】従って、本発明によれば、前記電圧昇降圧回路の出力電圧の安定化、又該出力電圧による電流容量を、要求される(必要な)範囲で確保しながら、許される範囲で前記動作制御クロック信号の周波数を抑えることができる。このように周波数を抑えることで、前記充電サイクルの動作回数や前記放電サイクルの動作回数を抑えることができる。又、これに伴って前記電圧昇降圧回路内等での消費電流をより低減することができ、又、電源ノイズや不要輻射を抑えることができる。

【0042】図1は、本発明の要旨を示すブロック図である。

【0043】この図1に示される如く、本発明の電圧変換回路は、電圧昇降圧回路12と、負荷量検出回路14と、電圧制御発振回路(VCO: voltage controlled oscillator)18とにより構成される。

【0044】まず、前記電圧昇降圧回路12は、所定の直並列接続構成にある複数のコンデンサに、充電サイクルで所定入力電圧により電荷を蓄えた後、放電サイクルとして、これらコンデンサの直並列接続構成を変型して蓄えた電荷を出力する。これによって、該電圧昇降圧回路12は、前記入力電圧 V_i と異なる電圧の出力電圧 V_u を出力する。該電圧昇降圧回路12は、前記図6及び図7を用いて原理を説明した前記電圧昇降圧回路、又前記図10に示した従来例の電圧昇降圧回路であってもよく、あるいは、前記図8及び図9を用いて原理を説明した電圧降圧回路であってもよい。該電圧昇降圧回路12は、前記電圧制御発振回路18からの動作制御クロック信号 CK によって、前記充電サイクル及び放電サイクルが周期的に切り替えられる。即ち、該動作制御クロック信号 CK の周期が短縮されれば、これら充電サイクル及び放電サイクルでなる動作サイクルの周期も短縮される。

【0045】次に、前記負荷量検出回路14は、前記電圧昇降圧回路12の出力電圧 V_u の負荷の増加によって生じる、該出力電圧 V_u の低下に応じた負荷量検出電圧 V_{er} を出力する。本発明にあっては、該負荷量検出回路14における前記出力電圧 V_u の低下検出方法を具体的に限定するものではない。

【0046】例えば、前記動作制御クロック信号の周期で生じる前記出力電圧 V_u のリップル成分をならした、該出力電圧の平均電圧の低下を検出するようにしてもよい。あるいは、後述する実施例の如く、前記出力電圧 V_u 中の、特に前記動作制御クロック信号 CK の周期で生じるリップル成分のみを抽出し、該リップル成分の大きさから該出力電圧 V_u の電圧供給のレギュレーション低下を検出するようにしてもよい。

【0047】このようにリップル成分の大きさから検出する場合、例えば該負荷量検出回路14は、微分回路15及び積分回路16により構成してもよい。この場合、前記微分回路15は、前記動作制御クロック信号 CK の周期で生じる前記出力電圧 V_u のリップル成分を抽出し、該リップル成分の大きさに応じたリップル成分信号電圧 V_{rip} を出力する。又、前記積分回路16は、このように前記リップル成分信号電圧 V_{rip} から前記動作制御クロック信号の周期で生じる電圧変動を除去することで、該リップル成分信号電圧 V_{rip} の大きさに応じた前記負荷量検出電圧 V_{er} を出力する。

【0048】次に、前記電圧制御発振回路18は、前記負荷量検出電圧 V_{er} の大きさに応じた周波数の動作制御クロック信号 CK を出力する。従って、該電圧制御発振回路18の前記動作制御クロック信号 CK の周波数は、前記出力電圧 V_u の負荷が増大する程高められる。

【0049】従って、本発明によれば、前記負荷量検出回路14によって、前記出力電圧 V_u の負荷の増加によって生じる該出力電圧 V_u の低下を検出し、前記電圧制御発振回路18を経て、前記動作制御クロック信号 CK へフィードバックすることができる。即ち、前記出力電圧 V_u が低下すると、これに応じて前記動作制御クロック信号 CK の周期が短縮され、前記充電サイクル及び放電サイクルでなる動作サイクルの周期が短縮される。

又、該動作サイクルの周期が短縮されると、前記(7)式にも示されるとおり、前記出力電圧 V_u の低下が抑えられる。従って、本発明によれば、前記出力電圧 V_u の低下の許される範囲で、前記動作制御クロック信号 CK の周波数 F を抑えることができる。これに伴って、前記充電サイクルや前記放電サイクルの動作回数を抑え、消費電流の低減を図り、又、電源ノイズや不要輻射を抑えることが可能となる。

【0050】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0051】図2は、本発明が適用された電圧変換回路

の実施例の回路図である。

【0052】この図2に示す如く、本実施例の電圧変換回路は、電圧昇圧回路12Aと、微分回路15A及び積分回路16Aでなる負荷量検出回路と、電圧制御発振回路18とにより構成される。

【0053】まず、前記電圧昇圧回路12Aには、前記図10に示される従来からのものが用いられる。特に、本実施例にあっては、入力電圧 V_i が、前記図10の電源電圧 V_{DD} として供給される。又、前記図10の前記動作制御クロック信号 CK は、前記電圧制御発振回路18から入力される。又、前記図10に示される前記電圧昇圧回路12Aから得られる前記出力電圧 V_u は、前記図2に示される負荷抵抗 R に供給されると共に、前記微分回路15Aにも入力されている。

【0054】続いて前記微分回路15Aは、オペアンプOP1と、抵抗 R_{1a} 及び R_{1b} と、コンデンサC1とにより構成される。この微分回路15Aにあって、まず前記オペアンプOP1と、前記抵抗 R_{1a} 及び R_{1b} によって、増幅率が (R_{1a}/R_{1b}) の増幅器が構成される。このような増幅器に対して前記コンデンサC1が接続されることで、微分回路が構成されている。該微分回路は、前記コンデンサC1及び前記抵抗 R_{1b} で定まるカットオフ周波数が10Hzのハイパスフィルタとなっている。該微分回路15Aは、このようにして前記動作制御クロック信号 CK の周期で生じる前記出力電圧 V_u のリップル成分を抽出している。又、該微分回路15Aは、このようにして得られたリップル成分の大きさに応じたリップル成分信号電圧 V_{rip} を前記積分回路16Aへ出力する。

【0055】次に、前記積分回路16Aは、オペアンプOP2と、抵抗 R_{2a} 及び R_{2b} と、コンデンサC2と、ダイオードD1とにより構成される。まず、該積分回路16Aにあって、前記オペアンプOP2と、抵抗 R_{2a} 及び R_{2b} とによって、増幅率が (R_{2a}/R_{2b}) の増幅器が構成される。このような増幅器に対して前記コンデンサC2を接続することで、前記積分回路16Aにおける積分演算を行う回路が構成される。この積分演算を行う回路は、前記コンデンサC2及び前記抵抗 R_{2a} で定まるカットオフ周波数が50Hzのローパスフィルタとなっている。又、該積分回路16Aにあっては、前記微分回路15Aが出力する前記リップル成分信号電圧 V_{rip} を前記ダイオードD1で整流した後に積分演算を行うようにしている。なお、この整流を例えば全波整流とすることによって、含まれるリップル成分の周波数を2倍とすることができ、この場合、積分演算によるリップル除去はより容易となる。又、該積分回路16Aは、積分演算にて、前記リップル成分信号電圧 V_{rip} から前記動作制御クロック信号 CK の周期で生じる電圧変動を除去している。又、このようにして得られた前記リップル成分信号電圧 V_{rip} の大きさに応じた負

荷量検出電圧 V_{er} を前記電圧制御発振回路18へ出力するようにしている。

【0056】前記電圧制御発振回路18は、前記積分回路16Aから入力される前記荷量検出電圧 V_{er} の大きさに応じた周波数の前記動作制御クロック信号CKを出力する。この電圧制御発振回路18Aの特性は、図3に示されるとおりである。この図3に示されるように、該電圧制御発振回路18Aは、前記荷量検出電圧 V_{er} の大きさに応じ、100Hzから500Hzまでの前記動作制御クロック信号CKを出力する。

【0057】図4は、本実施例において前記出力電圧 V_u の負荷が小さいときのタイムチャートである。

【0058】この図4のタイムチャートでは、前記出力電圧 V_u と、前記微分回路15Aから得られる前記リップル成分信号電圧 V_{rip} と、前記積分回路16Aから得られる前記荷量検出電圧 V_{er} のタイミングが示される。特に、時刻 t_1 から時刻 t_2 までの期間、又時刻 t_3 から時刻 t_4 までの期間、更に時刻 t_5 から始まる期間は、前記動作制御クロック信号CKがH状態であり、前記放電サイクルの期間である。又、前記時刻 t_2 から前記時刻 t_3 までの期間、及び前記時刻 t_4 から前記時刻 t_5 までの期間は、前記動作制御クロック信号CKがL状態であり、前記充電サイクルの期間である。

【0059】この図4のタイムチャートに示される如く、前記出力電圧 V_u は、前記充電サイクルにあつては順次電圧が上昇し、前記放電サイクルにあつては順次電圧が減少する。従つて、前記出力電圧 V_u にあつては、前記動作制御クロック信号CKの周期でリップルが発生する。

【0060】このようなリップルは、前記微分回路15Aによって抽出され、この図4に示されるような前記リップル成分信号電圧 V_{rip} が得られる。該リップル成分信号電圧 V_{rip} は、前記充電サイクルにあつてはプラスの値となり、前記放電サイクルにあつてはマイナスの値となる。

【0061】このように前記動作制御クロック信号CKの周期の交流信号の前記リップル成分信号電圧 V_{rip} は、前記ダイオードD1によって整流され、リップル成分を含む直流信号とされる。該直流信号は、このように整流された後は、前記動作制御クロック信号CKの周期のリップル成分を有する。又、整流された該直流信号は、前記積分回路16A内で積分演算されることで、このようなリップル成分が除去され、前記荷量検出電圧 V_{er} が得られる。該荷量検出電圧 V_{er} は前記電圧制御発振回路18Aに入力される。該電圧制御発振回路18Aは、前記荷量検出電圧 V_{er} の大きさに応じ、前記図3に示される特性で所定の周波数の前記動作制御クロック信号CKを出力する。

【0062】図5は、本実施例において前記出力電圧の負荷が大きいときの動作を示すタイムチャートである。

【0063】この図5のタイムチャートでは、動作の説明上、本実施例の特徴である前記荷量検出電圧 V_{er} の大きさに応じた前記動作制御クロック信号CKの周波数の可変を中止している。従つて、前記出力電圧 V_u の負荷増大に応じ、該出力電圧 V_u のリップル成分も増大している。又、この図5のタイムチャートは、前述した前記図4のタイムチャートに対して、前記動作制御クロック信号CKの周波数が同一であると共に、又時刻 t_1 ～時刻 t_5 が対応するように描かれている。

10 【0064】前記出力電圧 V_u の負荷が大きいこの図5のタイムチャートと、前述した前記図4のタイムチャートとを比較して明らかとなり、前記出力電圧 V_u の負荷が増大すると、該出力電圧 V_u のリップル成分が増大し、該出力電圧 V_u の平均電圧が低下する。従つて、該出力電圧 V_u のリップル成分の大きさに応じた前記リップル成分信号電圧 V_{rip} の振幅の大きさも増大し、該リップル成分信号電圧 V_{rip} に対して整流及び積分演算を施した前記荷量検出電圧 V_{er} も大きくなる。

20 【0065】なお、この図5のタイムチャートでは、動作の説明の関係上、負荷増大による前記出力電圧 V_u の低下に応じた前記動作制御クロック信号CKの周波数のフィードバック制御を解除している。これに対して、本実施例の通常動作にあつては、前記荷量検出電圧 V_{er} の大きさに応じて、前記動作制御クロック信号CKの周波数が制御される。具体的には、前記出力電圧 V_u の負荷が増大すると、前記荷量検出電圧 V_{er} の増大に応じ、前記図3に示した特性に従つて前記動作制御クロック信号CKの周波数が高められ、これによって、前記(7)式に示されるとおり、前記出力電圧 V_u のリップル成分の増大が抑えられ、該出力電圧 V_u の平均電圧の低下が抑えられる。

30 【0066】このように本実施例によれば、本発明を適用し、負荷の増大によって生じる前記出力電圧 V_u の低下やリップル成分の増大が許される範囲で、前記動作制御クロック信号CKの周波数を抑えることができる。これによって、前記充電サイクルや放電サイクルの動作回数を抑えることができ、消費電力の低減を図り、又、電源ノイズや不要輻射を抑えることができる。

40 【0067】なお、本発明にあつては、前記荷量検出電圧 V_{er} の検出方法を限定するものではない。該荷量検出電圧 V_{er} は、前記出力電圧 V_u の負荷の増加によって生じる、該出力電圧 V_u の低下に応じたものであればよい。例えば、該荷量検出電圧 V_{er} の検出を、前記出力電圧の負荷の増加によって生じる、当該出力電圧 V_u の低下から直接的に検出してもよい。この場合、前記図2に示した実施例の前記微分回路15Aを省き、前記積分回路16Aへと前記出力電圧 V_u を直接入力するように構成することも考えられる。この場合、前記微分回路15Aを省くことができるため、回路構成の簡略化を図ることが可能である。

【0068】このように前記微分回路15Aを省くものに対して、前記図2に示した実施例では、前記出力電圧 V_u のリップル成分を抽出し、前記リップル成分信号電圧 V_{rip} を得ているため、前記出力電圧 V_u が低下してしまった場合で、特に前記動作制御クロック信号 CK の周波数を高めることで、この電圧降下を補償できる場合にのみ、該周波数を上昇させている。本実施例にあつては、該周波数を高めたとしても、前記出力電圧 V_u の低下を補償できない場合には、該周波数を不必要に高めてしまうことがない。

【0069】例えば、前記出力電圧 V_u の負荷が極めて軽いにも拘らず、例えば回路上の不具合によって前記出力電圧 V_u が低下してしまうことも考えられる。この場合、前記出力電圧 V_u のリップル成分は少なく、従つて、前記動作制御クロック信号 CK の周波数を高めたとしても、前記出力電圧 V_u の低下を補償することはできない。本実施例にあつては、このような場合に、前記動作制御クロック信号 CK の周波数が不必要に高められてしまうことがない。

【0070】なお、前述のとおり、本実施例の前記電圧昇圧回路12Aには、前記図10に示した従来からのものが用いられている。しかしながら、これ以外のものでもあつても用いることができる。例えば、前記入力電圧 V_i を2倍以外の大きさに昇圧するものをも用いることができる。あるいは、前述したような原理に基づく電圧降圧回路をも用いることができる。即ち、前述したような電圧昇降圧回路であればよく、前記動作制御クロック信号によって前記充電サイクル及び放電サイクルが周期的に繰り返され、複数のコンデンサの直並列接続構成が変型されるものであればよい。

【0071】

【発明の効果】以上説明したとおり、本発明によれば、前記充電サイクルや放電サイクルの動作回数を抑えることで、消費電力をより低減し、又電源ノイズや不要輻射を抑えることができる電圧変換回路を提供することができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の要旨を示すブロック図

【図2】本発明が適用された電圧変換回路の実施例の回

路図

【図3】前記実施例に用いられる電圧制御発振回路の負荷量検出電圧に対する発振周波数の特性を示すグラフ

【図4】前記実施例にあつて得られる出力電圧の負荷が軽いときの動作を示すタイムチャート

【図5】前記実施例にあつて得られる出力電圧の負荷が大きいときの動作を示すタイムチャート

【図6】従来からの電圧昇圧回路の動作原理を示す充電サイクルでのコンデンサの並列接続を示す回路図

10 【図7】前記電圧昇圧回路の放電サイクルでのコンデンサの接続を示す回路図

【図8】従来からの電圧降下回路の動作原理を示す充電サイクルでのコンデンサの直列接続を示す回路図

【図9】前記電圧降下回路の放電サイクルでのコンデンサの並列接続を示す回路図

【図10】従来からの電圧昇圧回路の一例を示す回路図

【符号の説明】

12…電圧昇降圧回路

12A…電圧昇圧回路（又は電圧降圧回路）

20 14…負荷量検出回路

15、15A…微分回路

16、16A…積分回路

18、18A…電圧制御発振回路（VCO）

OP1、OP2…オペアンプ

G1…インバータゲート

TP1、TP2…PチャネルMOSトランジスタ

TN1、TN2…NチャネルMOSトランジスタ

D1、D2…ダイオード

R…抵抗（出力電圧の負荷）

30 R1a、R1b、R2a、R2b…抵抗

C、C1～C5…コンデンサ

V_i …入力電圧

V_u …出力電圧

VDD…電源電圧

G…グランド

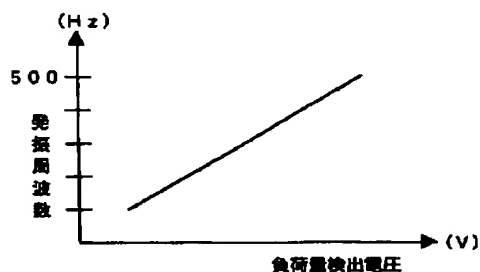
V_{rip} …リップル成分信号電圧

V_{er} …負荷量検出電圧

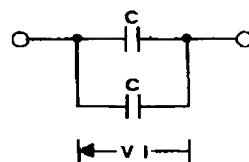
CK…動作制御クロック信号

$t_1 \sim t_5$ …時刻

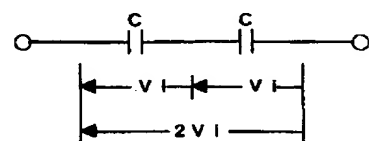
【図3】



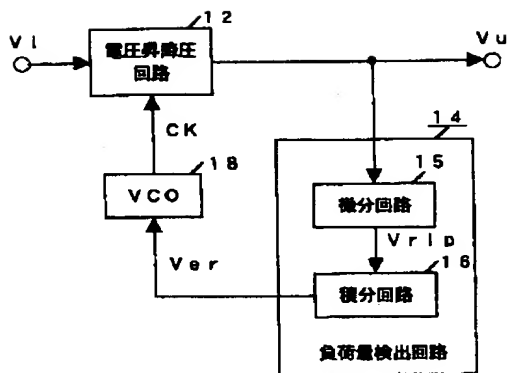
【図6】



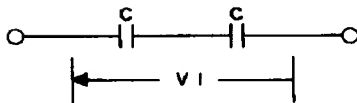
【図7】



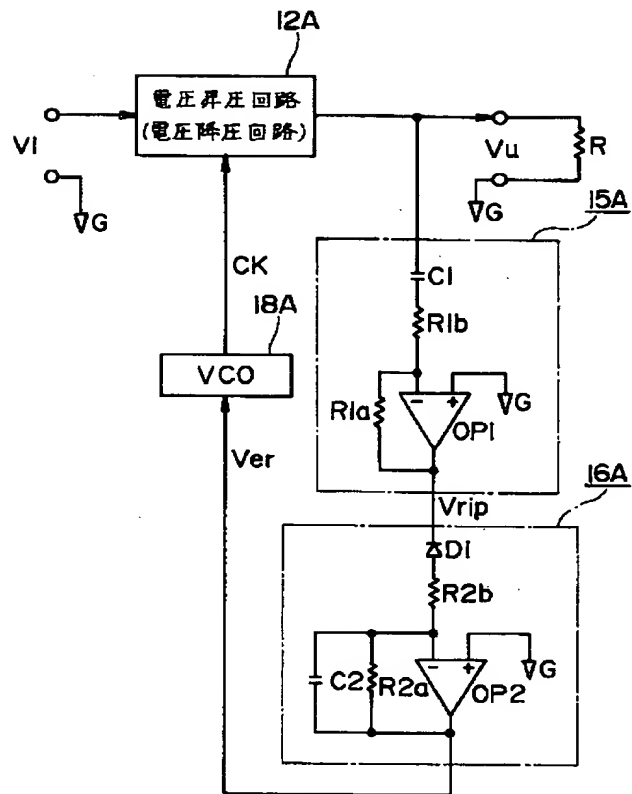
【図1】



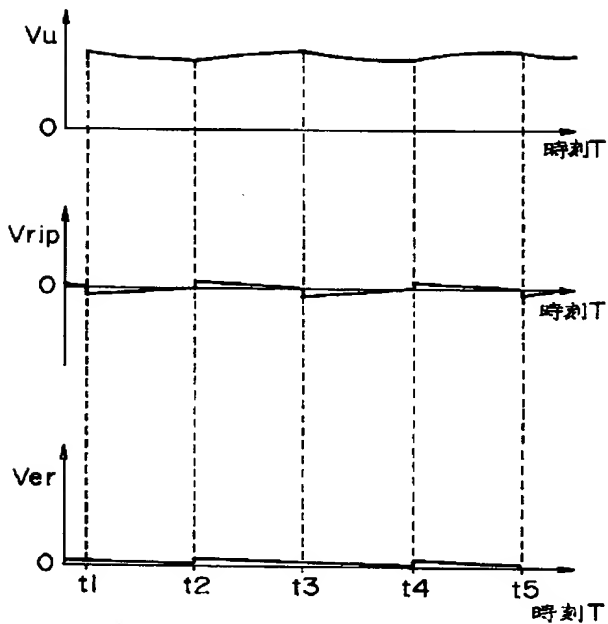
【図8】



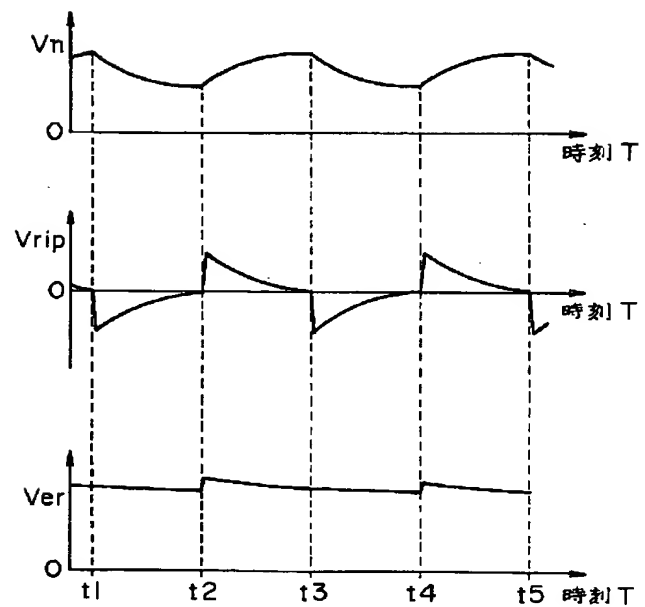
【図2】



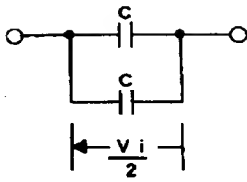
【図4】



【図5】



【図 9】



【図 10】

